



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0080298
Application Number

출원년월일 : 2002년 12월 16일
Date of Application DEC 16, 2002

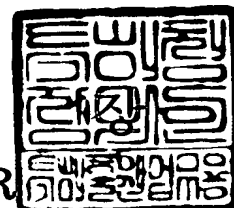
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 02 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.12.16
【발명의 명칭】	MOS 캐패시터를 갖는 DRAM 셀 및 그 제조 방법
【발명의 영문명칭】	DRAM cell including MOS capacitor and method for manufacturing the same
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 아주(대표변리사 정은섭)
【대리인코드】	9-2001-100005-9
【지정된변리사】	정은섭
【포괄위임등록번호】	2001-071442-5
【발명자】	
【성명의 국문표기】	김학운
【성명의 영문표기】	KIM,Hak Yun
【주민등록번호】	730715-1396513
【우편번호】	363-930
【주소】	충청북도 청원군 내수읍 내수리 34-17번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 아주(대표변리사 정은섭) (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	15 항 589,000 원
【합계】	621,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 MOS 캐패시터를 갖는 DRAM 셀 및 그 제조 방법에 관한 것으로, 특히, 반도체 기판 활성 영역의 일부인 플레이트노드 전극, 활성 영역의 트렌치를 통해 T자 구조를 갖는 스토리지노드 전극, 플레이트노드 전극 및 스토리지노드 전극 사이의 절연체막으로 이루어진 MOS 캐패시터와, 활성 영역의 상부면에 형성된 게이트 절연막 및 게이트 전극, 활성 영역내에 형성된 소오스/드레인을 포함하는 셀 트랜지스터와, MOS 캐패시터 및 셀 트랜지스터가 형성된 구조물에 증착된 층간 절연막과, 층간 절연막의 콘택홀을 통해 셀 트랜지스터의 소오스/드레인 또는 MOS 캐패시터의 스토리지노드 전극이 연결된 콘택 전극과, 콘택 전극을 통해 드레인과 스토리지노드 전극이 연결되는 배선과, 콘택 전극을 통해 소오스가 연결된 비트 라인을 포함하여 구성되는 DRAM 셀 및 그 제조 방법에 관한 것이다. 그러므로, 이러한 구성을 가지는 본 발명에 의하면, DRAM 셀에서 플레이트노드 전극을 기판의 활성 영역으로 하고, 스토리지노드 전극을 활성 영역 상부의 T자형 도전 패턴으로 사용함으로써, MOS 캐패시터 용량을 증가시킬 수 있고, 스토리지노드 전극을 활성 영역으로 사용할 경우 나타나는 누설 전류를 방지할 수 있다.

【대표도】

도 4

【색인어】

MOS 캐패시터, DRAM, 셀

【명세서】

【발명의 명칭】

MOS 캐패시터를 갖는 DRAM 셀 및 그 제조 방법{DRAM cell including MOS capacitor and method for manufacturing the same}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 MOS 캐패시터를 갖는 DRAM 셀 구조를 나타낸 수직 단면도이고,

도 2는 본 발명에 따른 MOS 캐패시터를 갖는 DRAM 셀의 레이아웃도이며,

도 3은 도 2에서 A-A'선으로 자른 수직 단면도이고,

도 4는 도 2에서 B-B'선으로 자른 수직 단면도이며,

도 5a 내지 도 5i는 본 발명의 일 실시예에 따라 MOS 캐패시터를 갖는 DRAM 셀 제조 공정을 순차적으로 나타낸 공정 순서도이다.

* 도면의 주요부분에 대한 부호의 설명 *

100 : 반도체기판

103a : 패드 산화막

103b : 하드 마스크

105 : 포토레지스트 패턴

106 : 트렌치

108 : 충전막

112 : 게이트 전극

114 : 스토리지 노드 전극

130 : 비트라인

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 DRAM 셀 및 그 제조 방법에 관한 것으로서, 특히, 적은 용량의 메모리를 필요로 하는 CD-R/W나 게임기기 등의 전자기기에 적합한 MOS 캐패시터를 갖는 DRAM 셀 및 그 제조 방법에 관한 것이다.
- <13> 일반적으로 반도체 메모리장치는 데이터를 저장해두고 필요할 때에 꺼내어 읽어볼 수 있는 장치를 일컫는 것으로, 주로, DRAM(Dynamic Random Access Memory)을 중심으로 하는 반도체 메모리로부터, 마그네틱 디스크, 광 디스크 등 다양한 종류가 있다. 이중에 서도 반도체 메모리는 소형이며 높은 신뢰도를 가지고, 또한, 저렴한 가격으로 제조가 가능하다는 장점이외에도 상대적으로 고속 동작이 가능한 장점을 가지고 있어서, 컴퓨터 내부에 위치하는 메인 메모리나 마이크로 프로세서내의 캐시 메모리, 캐쉬 메모리 형태로 널리 사용되고 있다.
- <14> 한편, DRAM의 단위셀 구조는 로우(row) 어드레스에 의해 구동되는 워드 라인(word line)과, 칼럼(column) 어드레스에 의해 구동되는 비트 라인(bit line)과, 비트 라인에 드레인이 연결되며 워드 라인에 게이트가 연결되는 셀 트랜지스터와, 셀 트랜지스터의 소오스에 연결된 캐패시터로 구성된다.
- <15> 이러한 DRAM 셀의 읽기/쓰기는 다음과 같이 동작된다. 임의의 워드 라인이 활성화 되면, 해당 워드 라인에 연결된 셀 트랜지스터가 턴온(turn on)되고 비트 라인의 전압이 셀 트랜지스터의 드레인을 통해 인가되면서 캐패시터의 스토리지노드 전극(storage

node electrode)에 전하가 저장된다. 이때, 비트 라인에 인가되는 전압은 0V 또는 Vdd(구동 전압)이 공급된다. 그리고 캐패시터의 플레이트노드 전극(plate node electrode)에는 고정된 전원 전압이 공급되는데, 대개 구동전압(Vdd)의 절반 정도이다.

<16> 한편, DRAM 셀에서 MOS(Metal-Oxide-Silicon) 캐패시터를 사용할 경우 일반적인 스택(stack)형 캐패시터에 비해 로직 공정(logic process)을 그대로 사용할 수 있다는 장점이 있다.

<17> 도 1은 종래 기술에 의한 MOS 캐패시터를 갖는 DRAM 셀 구조를 나타낸 수직 단면도이다. 도 1을 참조하면, DRAM 셀의 수직 단면 구조는 반도체 기판(10)과, 웰(well)(12)과, 소자분리막(14)과, 기판 전면에 증착된 게이트 절연막(16)과, 게이트 절연막(16) 상부에 각각 형성된 셀 트랜지스터(2)의 게이트 전극(18) 및 MOS 캐패시터(4)의 플레이트노드 전극(20)과, 기판 내에 형성된 셀 트랜지스터(2)의 소오스/드레인(24)과, 층간 절연막(26)의 콘택 전극(28)을 통해 드레인(24)과 연결된 비트 라인(30)으로 구성되어 있다.

<18> 도면에서, MOS 캐패시터(4)의 스토리지노드 전극은 플레이트노드 전극(20) 하부에 위치한 웰(12) 영역이며, 이들 전극 사이의 절연체막은 게이트절연막(16)이 된다. 그리고 셀 트랜지스터(2)의 게이트 전극(18)은 워드 라인으로 사용된다.

<19> 이러한 구성을 갖는 DRAM 셀은 신호 전하는 셀 트랜지스터(2)의 소오스에 연결되는 MOS 캐패시터(4)의 스토리지노드인 웰(12)에 저장된다. 그러나, MOS 캐패시터를 갖는 DRAM 셀은 스택형 캐패시터에 비해 로직 공정을 그대로 사용할 수 있다는 장점에도 불구하고

하고 스토리지노드로 사용되는 웰(12)에 데이터가 저장되기 때문에 리퀴지(leakage) 전류가 많이 흘러 리프레시 시간(refresh time)이 짧아지는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위하여 MOS 캐패시터를 사용하는 DRAM 셀에서 플레이트노드 전극을 기판의 활성 영역으로 하며 스토리지노드 전극을 T자형 도전 패턴으로 사용함으로써 MOS 캐패시터 용량을 증가시키고 스토리지노드 전극을 활성 영역으로 사용할 경우 나타나는 리퀴지 전류 손실을 방지할 수 있는 MOS 캐패시터를 갖는 DRAM 셀을 제공하는데 있다.

<21> 본 발명의 다른 목적은 MOS 캐패시터의 플레이트노드 전극을 기판의 활성 영역으로 하며 기판내에 트렌치에 T자형 스토리지노드 전극을 형성함으로써 MOS 캐패시터 용량을 증가시키면서 스토리지노드 전극을 활성 영역으로 사용할 경우 나타나는 리퀴지 전류 손실을 방지할 수 있는 MOS 캐패시터를 갖는 DRAM 셀 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<22> 상기 목적을 달성하기 위하여 본 발명은 셀 트랜지스터 및 캐패시터를 갖는 DRAM 셀에 있어서, 로우(row) 어드레스에 의해 구동되는 워드 라인과, 칼럼(column) 어드레스에 의해 구동되는 비트 라인과, 비트 라인에 소오스가 연결되며 워드 라인에 게이트 전극이 연결되는 셀 트랜지스터와, 셀 트랜지스터의 드레인에 스토리지노드 전극이 연결되

며 반도체 기판의 활성 영역에 형성된 플레이트노드 전극과, 스토리지노드 전극과 플레이트노드 전극 사이의 절연체박막을 갖는 MOS 캐패시터를 구비한다.

<23> 상기 목적을 달성하기 위하여 본 발명은 셀 트랜지스터 및 캐패시터를 갖는 DRAM 셀에 있어서, 반도체 기판의 활성 영역과, 활성 영역의 일부인 플레이트노드 전극, 활성 영역의 트렌치를 통해 T자 구조를 갖는 스토리지노드 전극, 플레이트노드 전극 및 스토리지노드 전극 사이의 절연체박막으로 이루어진 MOS 캐패시터와, 활성 영역의 상부면에 형성된 게이트 절연막 및 게이트 전극, 활성 영역 내에 형성된 소오스/드레인을 포함하는 셀 트랜지스터와, MOS 캐패시터 및 셀 트랜지스터가 형성된 구조물에 증착된 층간 절연막과, 층간 절연막의 콘택홀을 통해 셀 트랜지스터의 소오스/드레인 또는 MOS 캐패시터의 스토리지노드 전극이 연결된 콘택 전극과, 콘택 전극을 통해 드레인과 스토리지노드 전극이 연결되는 배선과, 콘택 전극을 통해 소오스가 연결된 비트 라인을 구비한다.

<24> 상기 다른 목적을 달성하기 위하여 본 발명은 셀 트랜지스터 및 캐패시터를 갖는 DRAM 셀의 제조 방법에 있어서, 반도체 기판의 활성 영역 일부에 트렌치를 형성하는 단계와, 활성 영역에 불순물을 주입하는 단계와, 트렌치가 형성된 기판 전면에서 절연체박막을 형성함과 동시에 게이트 절연막을 형성하는 단계와, 결과물에서 트렌치가 매립되도록 도전막을 증착하고 이를 패터닝하여 T자 구조를 갖는 스토리지노드 전극을 형성함과 동시에 셀 트랜지스터의 게이트 전극을 형성하는 단계와, 결과물에 불순물을 주입하여 셀 트랜지스터의 소오스/드레인을 형성하는 단계와, 결과물 전면에서 층간 절연막을 형성하고 층간 절연막에 콘택홀을 형성한 후에 콘택홀에 도전막을 매립하여 셀 트랜지스터의 소오스/드레인 또는 MOS 캐패시터의 스토리지노드 전극이 연결된 콘택 전극을 형성하는 단계와, 층간 절연막 상부에 도전막을 증착하고 이를 패터닝하여 콘택 전극을 통해 드레인과



스토리지노드 전극이 연결되는 배선과 소오스가 연결된 비트 라인을 형성하는 단계를 포함한다.

- <25> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다.
- <26> 도 2는 본 발명에 따른 MOS 캐패시터를 갖는 DRAM 셀의 레이아웃도이다. 도 2를 참조하면, 본 발명의 DRAM 셀 레이아웃은 로우 어드레스에 의해 구동되는 워드 라인(게이트 전극)(112)과, 칼럼 어드레스에 의해 구동되는 비트 라인(130)과, 비트 라인(113)에 소오스(118)가 연결되며 워드 라인에 게이트 전극(112)이 연결되는 셀 트랜지스터를 구비한다. 그리고 셀 트랜지스터의 드레인(118)에 스토리지노드 전극(114)이 연결된다. 게다가 본 발명의 DRAM 셀에 있어서, 반도체 기판의 활성 영역인 웰(102)이 전원 전압이 공급되는 플레이트노드 전극으로 사용되어 MOS 캐패시터를 구성하게 된다. 본 발명에서는 웰(102)인 플레이트노드 전극에 콘택 전극(132)을 통해 전원 전압이 공급되는 전원 라인(134)이 연결된다.
- <27> 상기 레이아웃도에서 미설명된 도면 부호 122, 124, 126은 콘택 전극을 나타낸 것이다. 그리고, 도면 부호 11은 MOS 캐패시터의 트렌치 형성시 트렌치 하부에 충전되는 막을 제거할 때 사용되는 마스크 영역을 나타낸 것이다.
- <28> 본 발명의 DRAM 셀은 MOS 캐패시터는 전원 전압이 공급되는 플레이트노드 전극을 웰로 사용하며 신호 전하가 저장되는 스토리지노드 전극(114)을 활성 영역 상부의 도전막으로 사용함으로써 스토리지노드 전극을 활성 영역으로 할 때보다 읽기/쓰기 동작시

기관으로 흐르는 리퀴지 전류 손실이 없어지며 데이터 액세스(data access) 시간이 짧아진다.

<29> 도 3은 도 2에서 A-A'선으로 자른 수직 단면도이고, 도 4는 도 2에서 B-B'선으로 자른 수직 단면도이다. 이들 도면을 참조하면, 본 발명의 DRAM 셀 수직 단면은 다음과 같다.

<30> 반도체 기관의 활성 영역인 웰(102)과, 활성 영역(102)의 트렌치(106)를 통해 T자 구조를 갖는 스토리지노드 전극(114)과, 플레이트노드 전극 및 스토리지노드 전극(114) 사이의 절연체박막(110, 111)으로 이루어진 MOS 캐패시터(4)가 형성되어 있다. 그리고 활성 영역의 상부면에 게이트 절연막(110) 및 게이트 전극(112)이 형성되어 있으며 활성 영역내에 소오스/드레인(118)이 형성된 셀 트랜지스터(2)가 구비되어 있다. 또한 MOS 캐패시터(4) 및 셀 트랜지스터(2)가 형성된 구조물에 층간 절연막(120)이 증착되어 있으며 층간 절연막(120)의 콘택홀을 통해 셀 트랜지스터(2)의 소오스/드레인(118) 또는 MOS 캐패시터(4)의 스토리지노드 전극(114)이 연결된 콘택 전극(122, 124, 126)과, 콘택 전극(122, 124)을 통해 드레인과 스토리지노드 전극(114)이 연결되는 배선(128)이 형성되며 다른 콘택 전극(126)을 통해 소오스가 연결된 비트 라인(130)이 형성된다.

<31> 본 발명의 DRAM 셀에 있어서, MOS 캐패시터(4)에는 트렌치(106) 아래부분을 절연물질로 채우는 충전막(108)이 더 형성되어 있는데, 이때 트렌치에만 충전막(108)을 남기기 위해서 도 2의 마스크(11)를 이용한다. 또한 MOS 캐패시터(4)의 스토리지노드 전극(114)과 셀 트랜지스터(2)의 게이트 전극(112) 측벽에 각각 절연물질로 이루어진 사이드 웰 스페이서(116)가 형성되어 구조물 측면을 절연시킨다.

- <32> 도 3에 도시된 바와 같이, 본 발명의 MOS 캐패시터(4)의 스토리지노드 전극(114)은 하부막이 매립되는 트렌치가 적어도 하나 이상 이어지는 굴곡진 트렌치들로 구성되어 있어 평면상에 형성되는 스택형 MOS 캐패시터에 비해 고용량 커패시턴스를 확보할 수 있다.
- <33> 상기와 같은 구조를 갖는 본 발명의 DRAM 셀은 쓰기(write) 동작시 비트 라인(130)에 데이터 신호가 공급되면 워드 라인인 게이트 전극(112)에 하이 레벨의 전압이 공급되어 셀 트랜지스터(2)가 온(ON)된다. 셀 트랜지스터(2)의 드레인(118)을 통해 신호 전하가 MOS 캐패시터의 스토리지노드 전극(114)에 저장된다.
- <34> 이와 반대로 읽기(read) 동작시 워드 라인인 게이트 전극(112)에 하이 레벨이 전압이 공급되어 셀 트랜지스터(2)가 온(ON)되면, 스토리지노드 전극(114)에 저장된 신호 전하는 드레인에서 소오스를 통해 비트 라인(130)으로 전달된다.
- <35> 도 5a 내지 도 5i는 본 발명의 일 실시예에 따라 MOS 캐패시터를 갖는 DRAM 셀 제조 공정을 순차적으로 나타낸 공정 순서도이다. 본 실시예는 MOS 캐패시터의 제조 공정을 중심으로 해서 DRAM 셀 제조 공정을 설명하고자 한다.
- <36> 우선, 도 5a에 도시된 바와 같이, 반도체 기판(100)으로서 실리콘 기판에 패드 산화막(103a) 및 하드 마스크막(103b)을 순차 적층하고 그 위에 MOS 캐패시터 트렌치 영역을 정의하는 포토레지스트 패턴(105)을 형성한다.
- <37> 그리고, 상기 포토레지스트 패턴(105)을 이용한 건식 식각 공정으로 하드 마스크막(103b) 및 패드 산화막(103a)을 패터닝하면서 기판(100)을 소정 깊이로 식각하여 도 5b와 같은 트렌치(106)를 형성한다. 그리고, 상기 포토레지스트 패턴(105)과 하드

마스크막(103a) 및 패드 산화막(103a)을 제거한다. 이때, 본 발명에 따른 MOS 캐패시터의 트렌치(106)는 적어도 하나이상 이어지는 굴곡진 트렌치들로 형성되어 캐패시터 용량을 증가시킬 수 있다.

<38> 이어서, 도 5c에 도시된 바와 같이, 상기 결과물에 충전막(gap-fill layer)(108)으로서 HLD(High temperature Low pressure Dielectric)막을 증착하고 이를 평탄화하여, 트렌치(106)를 절연물질로 매립한다. 이러한 MOS 캐패시터의 트렌치 및 충전막(108) 제조 공정시 DRAM 셀의 소자분리막, 예를 들어 셀로우 트렌치(shallow trench) 소자분리막 제조 공정도 함께 진행할 수도 있다.

<39> 계속해서, 상기 반도체 기판(100)내에 불순물 주입 공정, 예를 들어 p- 웰 공정을 진행하여 기판 내에 셀의 활성 영역이면서 MOS 캐패시터의 플레이트노드 전극으로 사용되는 웰(102)을 형성한다. 그리고, 상기 웰 내에 n- 채널 공정, 문턱 전압 조절 등을 진행하여 기판 내에 추가 불순물 이온을 주입한다.

<40> 한편, 상기 MOS 캐패시터 영역의 트렌치에 매립된 충전막(108)은 트렌치 상부면 또는 일정 부분까지 매립되어지나, MOS 캐패시터 용량을 증가시키기 위해서 트렌치 일정 부분까지 매립되도록 하는 것이 바람직하다. 이를 위하여 다음과 같이 공정을 진행한다.

<41> 도 5d에 도시된 바와 같이, 상기 반도체기판 전면에서 절연체박막(110a)을 얇게 증착하고, 그 위에 MOS 캐패시터 트렌치 영역을 오픈하는 포토레지스트 패턴(113)을 형성한다. 그리고, 상기 포토레지스트 패턴(113)에 의해 드러난 충전막(108) 상부의 절연체박막(110a)을 식각해서 제거한 후에 포토레지스트 패턴(113)을 제거한다. 이때 도면에 미도시되어 있지만, 상기 포토레지스트 패턴(113)은 트렌치 영역 뿐만 아니라 MOS 캐패시터 영역과 셀 트랜지스터의 게이트 절연막 영역을 정의한다. 이로 인해 포토레지스트 패

턴(113)을 이용한 식각 공정시 MOS 캐패시터의 절연체박막 및 게이트 절연막이 함께 패터닝될 수 있다. 이에 따라, 도 5e에 도시된 바와 같이, 상기 MOS 캐패시터의 절연체박막(110) 및 셀 트랜지스터의 게이트 절연막(미도시됨)이 패터닝된다.

<42> 이어서, 상기 노출된 충전막(108)을 선택적으로 식각해서 트렌치 일부를 채우도록 한 후에 트렌치 측벽에 절연물질로 이루어진 사이드웰 스페이서(111)를 형성한다. 이때 사이드웰 스페이서는 MOS 캐패시터의 절연체박막으로 사용된다.

<43> 계속해서, 도 5f에 도시된 바와 같이, 상기 결과물에 도전막(114a)으로서 폴리실리콘을 증착하되, 트렌치를 완전히 채우면서 상기 MOS 캐패시터의 절연체박막(110) 및 게이트 절연막 상부에 일부 두께가 남도록 증착한다. 그리고 도 5g에 도시된 바와 같이, 상기 도전막(114a) 상부에 MOS 캐패시터의 스토리지노드 전극 및 셀 트랜지스터의 게이트 전극 영역을 정의하는 포토레지스트 패턴(115)을 형성한다.

<44> 이어서, 상기 포토레지스트 패턴(115)에 의해 드러난 도전막(114a)을 건식 식각하여 도 5h와 같이 T자 구조를 갖는 MOS 캐패시터의 스토리지노드 전극(114)을 형성함과 동시에 셀 트랜지스터의 게이트 전극(112)을 형성한다. 그리고 포토레지스트 패턴(115)을 제거한다.

<45> 그 다음, 도 5i에 도시된 바와 같이, 상기 결과물에 절연막을 증착하고 이를 건식 식각하여 상기 MOS 캐패시터의 스토리지노드 전극(114) 및 셀 트랜지스터의 게이트 전극(112) 측벽에 사이드웰 스페이서(116)를 형성한다. 그리고, 상기 사이드웰 스페이서를 마스크로 불순물을 주입하여 셀 트랜지스터의 소오스/드레인(118)을 형성한 다음, 결과물 전면에 충전 절연막(120)을 형성하고 이를 평탄화한다. 이어서, 상기 충전 절연막(120)에 콘택홀을 형성한 후에 콘택홀에 도전막을 매립하여 셀 트랜지스터의 소오스/드

레인(118) 또는 MOS 캐패시터의 스토리지노드 전극(114)이 연결되는 콘택 전극(122, 124)을 형성한다.

<46> 계속해서, 상기 층간 절연막(120) 상부에 도전막을 증착하고 이를 패터닝하여 콘택 전극(122, 124)을 통해 드레인(118)과 스토리지노드 전극(114)이 연결되는 배선(128)을 형성함과 동시에 다른 콘택 전극(미도시됨)을 통해 셀 트랜지스터의 소오스(118)가 연결되는 비트 라인(미도시됨)을 형성한다.

<47> 한편, 도 5i에 도시되지 않았지만, 상기 배선(128) 및 비트 라인 제조 공정시 층간 절연막(120)의 또 다른 콘택 전극을 통해 플레이트노드 전극인 웰(102)에 전원 전압이 공급되는 전원 라인을 형성한다.

【발명의 효과】

<48> 이상 설명한 바와 같이, 본 발명은 MOS 캐패시터를 사용하는 DRAM 셀에서 전원이 공급되는 플레이트노드 전극을 기생 저항 및 용량이 큰 기판의 활성 영역, 즉 웰로 사용하므로 신호의 속도를 향상시킬 수 있다.

<49> 그리고, 본 발명은 MOS 캐패시터의 스토리지노드 전극을 활성 영역 상부의 도전막으로 사용함으로써 종래 DRAM 셀에서 스토리지노드 전극을 활성 영역으로 사용할 경우 나타나는 리퀴지 전류 손실을 방지할 수 있으며 셀의 읽기/쓰기 시간을 단축할 수 있는 효과가 있다.

<50> 또, 본 발명은 MOS 캐패시터 영역에 트렌치를 형성하여 T자 구조의 스토리지노드 전극을 제조함으로써 MOS 캐패시터 용량을 증가시킬 수 있다.

<51> 또한, 본 발명은 로직 프로세스를 그대로 사용할 수 있어서 공정시간 단축의 이점이 있다.

<52> 한편, 본 발명은 상술한 실시예에 국한되는 것이 아니라 후술되는 청구범위에 기재된 본 발명의 기술적 사상과 범주내에서 당업자에 의해 여러 가지 변형이 가능하다.

【특허 청구범위】**【청구항 1】**

셀 트랜지스터 및 캐패시터를 갖는 DRAM 셀에 있어서,
로우 (row) 어드레스에 의해 구동되는 워드 라인;
칼럼(column) 어드레스에 의해 구동되는 비트 라인;
상기 비트 라인에 소오스가 연결되며 상기 워드 라인에 게이트 전극이 연결되는
셀 트랜지스터; 및

상기 셀 트랜지스터의 드레인에 스토리지노드 전극이 연결되며 반도체 기판의 활성
영역에 형성된 플레이트노드 전극과, 상기 스토리지노드 전극과 플레이트노드 전극 사이
의 절연체박막을 갖는 MOS 캐패시터를 구비한 것을 특징으로 하는 MOS 캐패시터를 갖는
DRAM 셀.

【청구항 2】

제 1항에 있어서, 상기 스토리지노드 전극은 상기 활성 영역의 트렌치를 통하여 T
자 구조를 갖는 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀.

【청구항 3】

제 1항에 있어서, 상기 플레이트노드 전극에 전원 전압이 공급되는 전원 라인이 연
결되는 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀.

【청구항 4】

셀 트랜지스터 및 캐패시터를 갖는 DRAM 셀에 있어서,

반도체 기판의 활성 영역;

상기 활성 영역의 일부인 플레이트노드 전극과, 상기 활성 영역의 트렌치를 통해 T자 구조를 갖는 스토리지노드 전극과, 상기 플레이트노드 전극 및 스토리지노드 전극 사이의 절연체박막으로 이루어진 MOS 캐패시터;

상기 활성 영역의 상부면에 형성된 게이트 절연막 및 게이트 전극과, 상기 활성 영역내에 형성된 소오스/드레인을 포함하는 셀 트랜지스터;

상기 MOS 캐패시터 및 셀 트랜지스터가 형성된 구조물에 증착된 층간 절연막;

상기 층간 절연막의 콘택홀을 통해 상기 셀 트랜지스터의 소오스/드레인 또는 상기 MOS 캐패시터의 스토리지노드 전극이 연결된 콘택 전극;

상기 콘택 전극을 통해 상기 드레인과 상기 스토리지노드 전극이 연결되는 배선;
및

상기 콘택 전극을 통해 상기 소오스가 연결된 비트 라인을 구비한 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀.

【청구항 5】

제 4항에 있어서, 상기 MOS 캐패시터는 상기 트렌치 아래부분을 절연물질로 채우는 충전막을 더 포함하는 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀.

【청구항 6】

제 4항에 있어서, 상기 층간 절연막의 다른 콘택 전극을 통해 상기 플레이트노드 전극에 전원 전압이 공급되는 전원 라인이 연결된 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀.

【청구항 7】

제 4항에 있어서, 상기 MOS 캐패시터의 트렌치는 적어도 하나이상 이어지는 굴곡진 트렌치들인 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀.

【청구항 8】

제 4항에 있어서, 상기 MOS 캐패시터의 스토리지노드 전극과 상기 셀 트랜지스터의 게이트 전극 측벽에 사이드웰 스페이서를 추가한 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀.

【청구항 9】

셀 트랜지스터 및 캐패시터를 갖는 DRAM 셀의 제조 방법에 있어서,

반도체 기판의 활성 영역 일부에 트렌치를 형성하는 단계;

상기 활성 영역에 불순물을 주입하는 단계;

상기 트렌치가 형성된 기판 전면에 절연체박막을 형성함과 동시에 게이트 절연막을 형성하는 단계;

상기 결과물에서 트렌치가 매립되도록 도전막을 증착하고 이를 패터닝하여 상기 T자 구조를 갖는 스토리지노드 전극을 형성함과 동시에 상기 셀 트랜지스터의 게이트 전극을 형성하는 단계;

상기 결과물에 불순물을 주입하여 상기 셀 트랜지스터의 소오스/드레인을 형성하는 단계;

상기 결과물 전면에 층간 절연막을 형성하고 상기 층간 절연막에 콘택홀을 형성한 후에 상기 콘택홀에 도전막을 매립하여 상기 셀 트랜지스터의 소오스/드레인 또는 상기 MOS 캐패시터의 스토리지노드 전극이 연결된 콘택 전극을 형성하는 단계; 및

상기 층간 절연막 상부에 도전막을 증착하고 이를 패터닝하여 상기 콘택 전극을 통해 상기 드레인과 상기 스토리지노드 전극이 연결되는 배선과 상기 소오스가 연결된 비트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀 제조 방법.

【청구항 10】

제 9항에 있어서, 상기 MOS 캐패시터의 트렌치는 적어도 하나이상 이어지는 굴곡진 트렌치들로 형성하는 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀 제조 방법.

【청구항 11】

제 9항에 있어서, 상기 활성 영역에 불순물을 주입하기 전에, 상기 트렌치 아래부분을 절연물질로 채우는 충전막을 더 형성하는 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀 제조 방법.

【청구항 12】

제 11항에 있어서, 상기 충전막은 상기 MOS 캐패시터의 스토리지노드 영역의 트렌치에 형성되거나 또는 상기 반도체 기판의 소자분리 영역의 트렌치에 형성되는 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀 제조 방법.

【청구항 13】

제 12항에 있어서, 상기 MOS 캐패시터의 스토리지노드 영역의 트렌치에 형성되는 충전막은 트렌치 상부면 또는 일정 부분까지 매립된 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀 제조 방법.

【청구항 14】

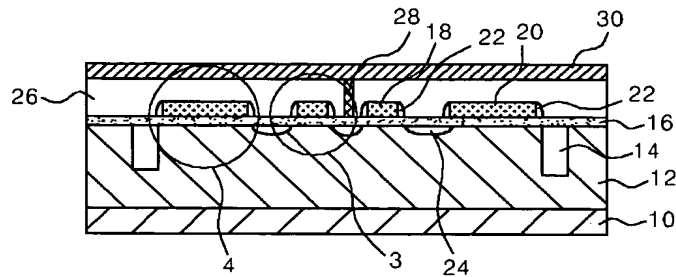
제 9항에 있어서, 상기 셀 트랜지스터의 소오스/드레인을 형성하기 전에, 상기 MOS 캐패시터의 스토리지노드 전극과 상기 셀 트랜지스터의 게이트 전극 측벽에 사이드웰 스페이서를 추가 형성하는 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀 제조 방법.

【청구항 15】

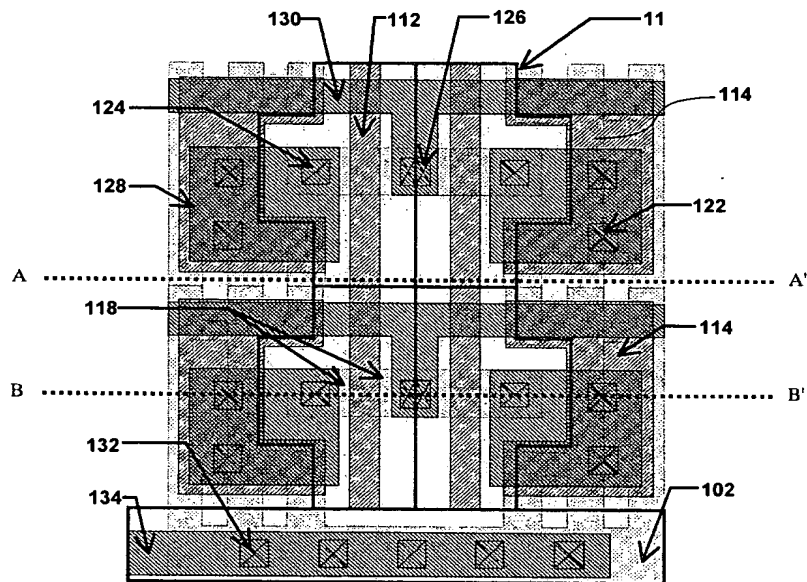
제 9항에 있어서, 상기 층간 절연막 상부에 도전막을 증착하고 이를 패터닝할 때 상기 층간 절연막의 다른 콘택 전극을 통해 상기 플레이트노드 전극에 전원 전압이 공급되는 전원 라인을 형성하는 것을 특징으로 하는 MOS 캐패시터를 갖는 DRAM 셀 제조 방법.

【도면】

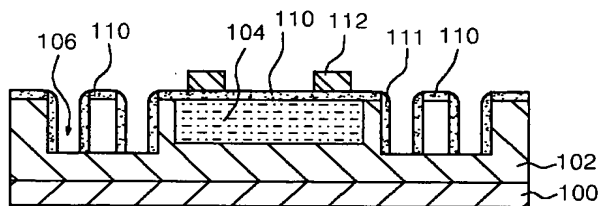
【도 1】



【도 2】



【도 3】



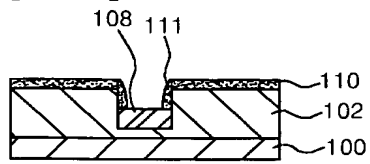
[illegible]

A cross-sectional view of a semiconductor device. It shows a substrate 100 with diagonal hatching. On top of the substrate is a first conductive layer 103a with horizontal hatching. Above the first conductive layer is a second conductive layer 103b with diagonal hatching. On top of the second conductive layer is a third conductive layer 105 with a stippled pattern. The third conductive layer 105 is divided into two rectangular blocks by a gap.

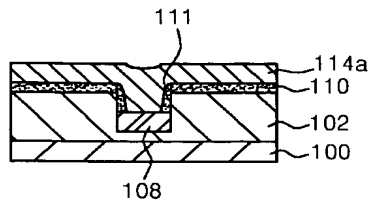
A cross-sectional view of a substrate 100. The substrate has a top surface with a recessed region 106. The recessed region is a rectangular depression in the center of the top surface. The substrate is shown with diagonal hatching lines.

A cross-sectional view of a substrate 100. The substrate has a top surface 102. A recessed region 108 is formed in the top surface 102. The recessed region 108 is filled with a material having diagonal hatching. The substrate 100 is shown with a horizontal cross-section, with the top surface 102 and the recessed region 108 clearly defined.

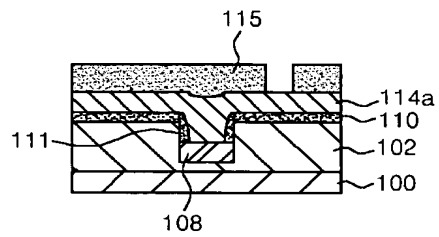
【도 5e】



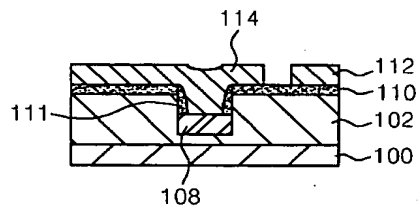
【도 5f】



【도 5g】



【도 5h】



【도 5i】

